

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168662

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H03G 3/20

(21)Application number : 11-348652

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 08.12.1999

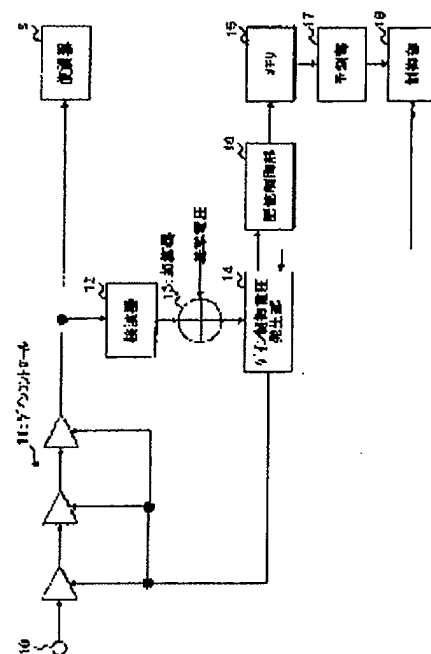
(72)Inventor : ISHIHARA YOSHIHARU
IWATA YASUSHI

(54) METHOD FOR CONTROLLING AGC VOLTAGE AND AGC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enable fast buildup in a receiving mode by reducing AGC convergence time.

SOLUTION: This circuit predicts the control start value of AGC voltage in the next receiving slot 4 on the basis of AGC voltage convergence values in respective receiving slots 1 to 3 previous to the preceding time and controls the AGC voltage from the predicted AGC voltage control start value. When the circuit obtains an AGC voltage convergence value in the slot 4 in a similar manner after the slot 4, the circuit predicts the AGC voltage control start value in the next receiving slot 5 on the basis of the AGC voltage convergence values in the respective slots 2 to 4 and starts to control the AGC voltage from the predicted AGC voltage control start value.



(43)公開日 平成13年6月22日(2001.6.22)

テーマコート* (参考)

C 5 J 1 0 0
A

審査請求 未請求 請求項の数7 O.L (全 11 頁)

(21)出願番号 特願平11-348652

(22)出願日 平成11年12月8日(1999.12.8)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 石原 由晴

静岡県浜松市元城町216-18 株式会社松
下通信静岡研究所内

(72)発明者 岩田 靖史

静岡県浜松市元城町216-18 株式会社松
下通信静岡研究所内

(74) 代理人 100105050

弁理士 鷺田 公一

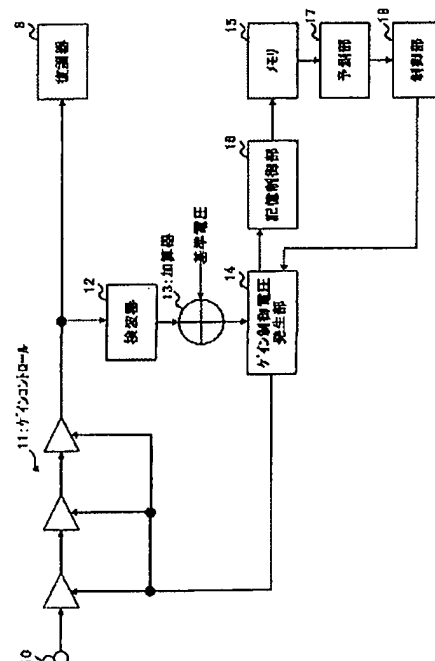
Fターム(参考) 5J100 AA21 BA01 BC07 CA23 CA29
CA30 CA33 DA05 DA08 EA02
FA02

(54) 【発明の名称】 A G C電圧制御方法及びA G C回路

(57) 【要約】

【課題】 AGC収束時間を短縮し、受信時に
て高速な立ち上げを可能にする。

【解決手段】 前回以前の受信スロット1～3の夫々におけるAGC電圧収束値を基に次の受信スロット4でのAGC電圧の制御開始値を予測し、予測したAGC電圧制御開始値からAGC電圧の制御を行い、受信スロット4以降も同様にして、受信スロット4におけるAGC電圧収束値を得ると、受信スロット2～4の夫々におけるAGC電圧収束値に基づいて次の受信スロット5におけるAGC電圧制御開始値を予測し、予測したAGC電圧制御開始値からAGC電圧の制御を開始する。



【特許請求の範囲】

【請求項 1】 前回以前の複数の受信スロットの夫々における AGC 電圧収束値に基づいて次回の受信スロットにおける AGC 電圧制御開始値を予測し、予測した AGC 電圧制御開始値から AGC 電圧の制御を開始することを特徴とする AGC 電圧制御方法。

【請求項 2】 受信スロット毎に、AGC 回路の出力レベルを後段の復調器の動作レベルに適合させるために値が設定された基準電圧と検波電圧との差を求め、この差を AGC 電圧制御開始値が AGC 電圧収束値に近くなる方向に補正し、次いで補正した差分値に応じた AGC 電圧制御開始値から AGC 電圧の制御を行い、所定数の受信スロットが得られると、それらの受信スロットの夫々における AGC 電圧収束値に基づいて次回の受信スロットに対する AGC 電圧制御開始値を予測し、予測した AGC 電圧制御開始値から AGC 電圧の制御を開始することを特徴とする AGC 電圧制御方法。

【請求項 3】 受信スロット毎に、受信スロットにおける AGC 電圧収束時の受信電界強度より受信電界強度点を求め、求めた受信電界強度点を基にビットエラーレート曲線よりフェージングピッチを検出し、このフェージングピッチの検出を所定数の受信スロットに対して行うことで、これらのフェージングピッチより移動機の平均移動速度を求め、求めた平均移動速度と所定数の受信スロットの夫々における AGC 電圧収束値とに基づいて次回の受信スロットに対する AGC 電圧の制御開始値を予測し、予測した AGC 電圧制御開始値から AGC 電圧の制御を開始することを特徴とする AGC 電圧制御方法。

【請求項 4】 AGC 回路の出力レベルを後段の復調器の動作レベルに適合させるために値が設定された基準電圧と検波電圧との差に基づいて AGC 電圧値を制御する AGC 電圧制御手段と、

受信スロットにおける AGC 電圧収束値を記憶する記憶手段と、

この記憶手段にて記憶された前回以前の複数の受信スロットの夫々における AGC 電圧収束値を用いて次回の受信スロットにおける AGC 電圧の制御開始値を予測する予測手段と、

この予測手段にて次回の受信スロットにおける AGC 電圧の制御開始値が予測される毎に、前記 AGC 電圧制御手段に対して、予測された AGC 電圧の制御値から AGC 電圧の制御を開始させる制御手段と、

を具備することを特徴とする AGC 回路。

【請求項 5】 AGC 回路の出力レベルを後段の復調器の動作レベルに適合させるために値が設定された基準電圧と検波電圧との差に基づいて AGC 電圧値を制御する AGC 電圧制御手段と、

前記基準電圧と検波電圧との差を AGC 電圧制御開始値が AGC 電圧収束値に近くなる方向に補正する補正手段と、

受信スロットにおける AGC 電圧収束値を記憶する記憶手段と、

この記憶手段に記憶された前回以前の複数の受信スロットの夫々における AGC 電圧収束値により次回の受信スロットにおける AGC 電圧の制御開始値を予測する予測手段と、

この予測手段にて次回の受信スロットにおける AGC 電圧の制御開始値が予測される毎に、前記 AGC 電圧制御手段に対して、予測された AGC 電圧の制御値から AGC 電圧の制御を開始させる制御手段と、

を具備することを特徴とする AGC 回路。

【請求項 6】 AGC 回路の出力レベルを後段の復調器の動作レベルに適合させるために値が設定された基準電圧と検波電圧との差に基づいて AGC 電圧値を制御する AGC 電圧制御手段と、

受信スロットにおける AGC 電圧収束値を記憶する記憶手段と、

受信スロットにおける AGC 電圧収束時の受信電界強度より受信電界強度点を求め、求めた受信電界強度点を基にビットエラーレート曲線よりフェージングピッチを検出するフェージングピッチ検出手段と、

前回以前の複数の受信スロットの夫々に対して前記フェージングピッチ検出手段にて検出されたフェージングピッチより移動機の平均移動速度を求め、求めた平均移動速度と前記前回以前の複数の受信スロットの夫々における AGC 電圧収束値とに基づいて次回の受信スロットに対する AGC 電圧の制御開始値を予測する予測手段と、

この予測手段にて次回の受信スロットにおける AGC 電圧の制御開始値が予測される毎に、前記 AGC 電圧制御手段に対して、予測された AGC 電圧の制御値から AGC 電圧の制御を開始させる制御手段と、

を具備することを特徴とする AGC 回路。

【請求項 7】 請求項 4 から請求項 6 のいずれかに記載の AGC 回路を具備することを特徴とする無線装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、TDMA (Time Division Multiplex Access: 時分割多重) 等の間欠受信方式の無線装置に用いて好適な AGC 電圧制御方法及び AGC 回路に関する。

【0002】

【従来の技術】従来、TDMA 等の間欠受信方式の無線装置には、受信スロット時にのみ動作する間欠タイプの AGC (自動利得制御) 回路が用いられている。この種の AGC 回路は、受信スロット立ち上げの際に一定レベルから AGC 電圧の制御を開始するようにしている。

【0003】図 12 は従来の AGC 回路を用いた無線装置の構成を示すブロック図である。この図において、アンテナ 1 にて捉えられた変調波信号は、フィルタ 2 にて

目的とする周波数の整数分の 1 の成分が除去されて、そ

の後、高周波増幅器3にて増幅されて混合器4に入力される。混合器4に入力された変調波信号は、局部発振器5からの局発信号により周波数の変換が行われる。周波数変換が行われた後、中間周波増幅回路6に入力されて増幅され、その後AGC回路7を経て復調器8に入力されて元の信号に復調される。AGC回路7は、図13に示すように、間欠受信において、受信スロット1、2、3、4、…の夫々に対して、その立ち上げの際に一定レベル(VAGC)からAGC電圧の制御を開始する。

【0004】

【発明が解決しようとする課題】しかしながら、従来のAGC回路においては、受信スロット毎に一定レベルからAGC電圧の制御を開始することから、AGC電圧が収束するまでの時間が常に一定になり、受信時における高速度な立ち上げができないという問題がある。

【0005】本発明はかかる点に鑑みてなされたものであり、AGC収束時間を短縮することで受信時における高速度な立ち上げが可能なAGC電圧制御方法及びAGC回路を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明のAGC電圧制御方法は、前回以前の複数の受信スロットの夫々におけるAGC電圧収束値に基づいて次の受信スロットにおけるAGC電圧制御開始値を予測し、予測したAGC電圧制御開始値からAGC電圧の制御を開始する。

【0007】この方法によれば、一定のレベルからAGC電圧を制御するのではなく、前回以前の複数の受信スロットの夫々におけるAGC電圧収束値に基づいて予測した値から制御を開始するので、AGC収束時間を短縮できる。これにより、受信時に高速度な立ち上げが可能な無線装置を実現できる。

【0008】また、本発明のAGC電圧制御方法は、受信スロット毎に、AGC回路の出力レベルを後段の復調器の動作レベルに適合させるために値が設定された基準電圧と検波電圧との差を求め、この差をAGC電圧制御開始値がAGC電圧収束値に近くなる方向に補正し、次いで補正した差分値に応じたAGC電圧制御開始値からAGC電圧の制御を行い、所定数の受信スロットが得られると、それらの受信スロットの夫々におけるAGC電圧収束値に基づいて次の受信スロットに対するAGC電圧制御開始値を予測し、予測したAGC電圧制御開始値からAGC電圧の制御を開始する。

【0009】この方法によれば、検波電圧と基準電圧との差分を補正し、この補正した差分値に応じたAGC電圧制御開始値からAGC電圧の制御を行うので、上記AGC電圧制御方法よりも更にAGC収束時間の短縮化が図れる。

【0010】本発明のAGC電圧制御方法は、受信スロット毎に、受信スロットにおけるAGC電圧収束時の受信電界強度より受信電界強度点を求め、求めた受信電界

強度点を基にビットエラーレート曲線よりフェージングピッチを検出し、このフェージングピッチの検出を所定数の受信スロットに対して行うことで、これらのフェージングピッチより移動機の平均移動速度を求め、求めた平均移動速度と所定数の受信スロットの夫々におけるAGC電圧収束値とに基づいて次の受信スロットに対するAGC電圧の制御開始値を予測し、予測したAGC電圧制御開始値からAGC電圧の制御を開始する。

【0011】この方法によれば、フェージングによる影響を考慮して次の受信スロットに対するAGC電圧の制御開始値を予測するので、フェージングの影響を受けることなくAGC収束時間の短縮化が図れる。

【0012】本発明のAGC回路は、AGC回路の出力レベルを後段の復調器の動作レベルに適合させるために値が設定された基準電圧と検波電圧との差に基づいてAGC電圧値を制御するAGC電圧制御手段と、受信スロットにおけるAGC電圧収束値を記憶する記憶手段と、この記憶手段にて記憶された前回以前の複数の受信スロットの夫々におけるAGC電圧収束値を用いて次の受信スロットにおけるAGC電圧の制御開始値を予測する予測手段と、この予測手段にて次の受信スロットにおけるAGC電圧の制御開始値が予測される毎に、前記AGC電圧制御手段に対して、予測されたAGC電圧の制御値からAGC電圧の制御を開始させる制御手段と、を具備する構成を採る。

【0013】この構成によれば、一定のレベルからAGC電圧を制御するのではなく、前回以前の複数の受信スロットの夫々におけるAGC電圧収束値に基づいて予測した値から制御を開始するので、AGC収束時間を短縮できる。これにより、受信時に高速度な立ち上げが可能な無線装置を実現できる。

【0014】また、本発明のAGC回路は、AGC回路の出力レベルを後段の復調器の動作レベルに適合させるために値が設定された基準電圧と検波電圧との差に基づいてAGC電圧値を制御するAGC電圧制御手段と、前記基準電圧と検波電圧との差をAGC電圧制御開始値がAGC電圧収束値に近くなる方向に補正する補正手段と、受信スロットにおけるAGC電圧収束値を記憶する記憶手段と、この記憶手段に記憶された前回以前の複数の受信スロットの夫々におけるAGC電圧収束値により次の受信スロットにおけるAGC電圧の制御開始値を予測する予測手段と、この予測手段にて次の受信スロットにおけるAGC電圧の制御開始値が予測される毎に、前記AGC電圧制御手段に対して、予測されたAGC電圧の制御値からAGC電圧の制御を開始させる制御手段と、を具備する構成を採る。

【0015】この構成によれば、検波電圧と基準電圧との差分を補正し、この補正した差分値に応じたAGC電圧制御開始値からAGC電圧の制御を行うので、上記AGC回路よりも更にAGC収束時間の短縮化が図れる。

【0016】また、本発明のAGC回路は、AGC回路の出力レベルを後段の復調器の動作レベルに適合させるために値が設定された基準電圧と検波電圧との差に基づいてAGC電圧値を制御するAGC電圧制御手段と、受信スロットにおけるAGC電圧収束値を記憶する記憶手段と、受信スロットにおけるAGC電圧収束時の受信電界強度より受信電界強度点を求め、求めた受信電界強度点を基にビットエラーレート曲線よりフェージングピッチを検出するフェージングピッチ検出手段と、前回以前の複数の受信スロットの夫々に対して前記フェージングピッチ検出手段にて検出されたフェージングピッチより移動機の平均移動速度を求め、求めた平均移動速度と前記前回以前の複数の受信スロットの夫々におけるAGC電圧収束値とに基づいて次回の受信スロットに対するAGC電圧の制御開始値を予測する予測手段と、この予測手段にて次回の受信スロットにおけるAGC電圧の制御開始値が予測される毎に、前記AGC電圧制御手段に対して、予測されたAGC電圧の制御値からAGC電圧の制御を開始させる制御手段と、を具備する構成を採る。

【0017】この構成によれば、フェージングによる影響を考慮して次回の受信スロットに対するAGC電圧の制御開始値を予測するので、フェージングの影響を受けることなくAGC収束時間の短縮化が図れる。

【0018】本発明の無線装置は、上記AGC回路を具備する構成を採る。

【0019】この構成によれば、上記AGC回路を具備するので、AGC収束時間の短い高速立ち上げが可能になる。

【0020】

【発明の実施の形態】本発明の骨子は、前回までの受信スロットにおけるAGC電圧収束値を基に次回の受信スロットでのAGC電圧の制御開始値を予測し、その予測したAGC電圧制御開始値からAGC電圧の制御を行うものである。

【0021】以下、本発明の実施の形態について、図面を参照して詳細に説明する。

(実施の形態1) 図1は本発明の実施の形態1に係るAGC回路の構成を示すブロック図、図2は同実施の形態に係るAGC回路の動作を示すタイム図である。

【0022】図1に示すように、本実施の形態1に係るAGC回路は、端子10を介して入力された変調波信号をレベル調整するゲインコントロール11と、このゲインコントロール11からの信号を検波する検波器12と、復調器8の動作レベルを適正にするための基準電圧VAGCと検波器12のI、Q検波電圧を比較する加算器13と、ゲインコントロール11の増幅率を調整するためのゲイン制御電圧発生部（AGC電圧制御手段）14と、データの書き込み／読み出しが可能なメモリ15と、このメモリ15に対して受信スロットのAGC電圧収束値の書き込み／読み出しを行う記憶制御部16と、

メモリ15に書き込まれた前回以前のAGC電圧収束値から次回の受信スロットのAGC電圧の制御開始値を予測する予測部17と、ゲイン制御電圧発生部14に対して、予測部17にて予測された次回の受信スロットのAGC電圧の制御開始値から制御を開始させる制御部18と、を備えて構成されている。

【0023】ゲイン制御電圧発生部14は、検波電圧が基準電圧VAGCに等しくなければ、等しくなるまでAGC電圧の値を変えてゲインコントロール11で検波電圧を調整する。この調整によって検波電圧が基準電圧VAGCと等しくなると、そのときのAGC電圧収束値を記憶制御部16に出力する。ゲイン制御電圧発生部14は、受信スロット毎に検波電圧を調整してAGC電圧収束値を記憶制御部16に出力する。記憶制御部16は、ゲイン制御電圧発生部14からのAGC電圧収束値を取り込むと、それをメモリ15に書き込む。予測部17は、メモリ15に書き込まれたAGC電圧収束値を基に次回の受信スロットに対するAGC電圧の制御開始値を予測し、それを制御部18に出力する。制御部18は、予測部17で予測されたAGC電圧の制御開始値を取り込むと、ゲイン制御電圧発生部14に対して、予測されたAGC電圧制御開始値からAGC電圧の制御を開始させる。

【0024】本実施の形態1では、AGC電圧の制御開始値の予測を、例えば図2に示すように、間欠受信がスタートした初期の段階では、受信スロット1～3の夫々に対して一定のレベルからAGC電圧値を制御して、受信スロット1～3の夫々におけるAGC電圧の収束値をメモリ15に記憶する。そして、前段階処理を行った後、次回の受信スロット4までに、メモリ15に記憶させた受信スロット1～3の夫々に対するAGC電圧の収束値から受信スロット4に対するAGC電圧の制御開始値を予測する。AGC電圧の制御開始値を予測すると、その予測値から受信スロット4に対するAGC電圧の制御を開始する。この処理は、受信スロット5以降の受信スロットについても同様に、前回以前の3つのAGC電圧収束値を基にAGC電圧制御開始値を予測する。

【0025】このように、本実施の形態1によれば、前回以前の受信スロット1～3の夫々におけるAGC電圧収束値を基に次回の受信スロット4でのAGC電圧の制御開始値を予測し、予測したAGC電圧制御開始値からAGC電圧の制御を行うので、間欠受信がスタートした初期の段階以降は、一定のレベルからAGC電圧を制御するのではなく、予測したAGC電圧の制御開始値から制御を開始するので、AGC収束時間を短縮でき、受信機の受信時における高速な立ち上げが可能なAGC回路を提供できる。

【0026】（実施の形態2）図3は本発明の実施の形態2に係るAGC回路の構成を示すブロック図、図4は同実施の形態に係るAGC回路の動作を示すタイム図で

ある。なお、図3において、前述した図1と共通する部分には同一の符号を付してその説明を省略する。

【0027】本実施の形態2に係るAGC回路は、図4に示すように、各受信スロットでのAGC電圧制御開始値が一定でなく収束値に近くなる方向になるように、検波電圧と基準電圧VAGCとの差分値を $\pm\alpha$ する補正部19を備えたものである。ゲイン制御電圧発生部14は、補正された差分値に応じたAGC電圧制御開始値からAGC電圧の制御を行うので、上記実施の形態1のAGC回路よりも更にAGC収束時間の短縮化が図れる。

【0028】（実施の形態3）図5は本発明の実施の形態3に係るAGC回路の構成を示すブロック図、図6は同実施の形態に係るAGC回路の動作を示すタイム図である。なお、図5において、前述した図1と共通する部分には同一の符号を付してその説明を省略する。

【0029】本実施の形態3に係るAGC回路は、各受信スロット毎に、復調器8の復調出力より得られるAGC電圧収束時の受信電界強度より受信電界強度点を求め、求めた受信電界強度点を基にビットエラーレート曲線よりフェージングピッチを検出するフェージングピッチ検出部20と、前回以前の受信スロット1～3の夫々に対してフェージングピッチ検出部20にて検出されたフェージングピッチより移動機（本実施の形態3のAGC回路を備える無線装置を用いた移動機）の平均移動速度を求め、求めた平均移動速度と前回以前の受信スロット1～3の夫々におけるAGC電圧収束値とに基づいて次回の受信スロット4に対するAGC電圧の制御開始値を予測する予測部21とを備えている。

【0030】制御部18は、予測部21にて次回の受信スロット4におけるAGC電圧の制御開始値が予測される毎に、ゲイン制御電圧発生部14に対して、予測されたAGC電圧の制御値からAGC電圧の制御を開始させる。

【0031】ここで、本実施の形態3におけるフェージングピッチ検出方法について、図7、図8を参照して説明する。この場合、図7はビットエラーレート曲線であり、図8はフェージングピッチ検出部20の動作説明図である。ビットエラーレート曲線はテーブル化されてフェージングピッチ検出部20に内蔵されている。

【0032】まず、受信電界強度により受信電界強度点Pを求める。そして、この受信電界強度点Pをビットエラーレート曲線にのせて、その中で最も近い曲線（ $f_0 = 6\text{Hz}$ の曲線）に近似させる。これによりフェージングピッチが求まり、求めたフェージングピッチから移動機の移動速度を導き出す。フェージングピッチの検出を受信スロット1～3の夫々に対して行い、移動機の平均移動速度を求める。受信スロット5以降の受信スロットについても同様にして移動機の平均移動速度を求める。なお、ビットエラーレート曲線を用いてフェージングピッチを求めることは、従来より行われている手法であ

る。

【0033】このように、本実施の形態3では、フェージングによる影響を考慮して次回の受信スロット4に対するAGC電圧の制御開始値を予測するので、フェージングの影響を受けることなくAGC収束時間の短縮化が図れる。

【0034】（実施の形態4）図9は本発明の実施の形態4に係るAGC回路の構成を示すブロック図、図10は同本実施の形態に係るAGC回路の動作を示すタイム図である。なお、図9において、前述した図5と共通する部分には同一の符号を付してその説明を省略する。

【0035】本実施の形態4のAGC回路は、各受信スロット毎に、復調器8の復調出力より得られるAGC電圧収束時の受信電界強度より受信電界強度点を求め、求めた受信電界強度点を基にビットエラーレート曲線よりフェージングピッチを検出するフェージングピッチ検出部23と、前回以前の受信スロット1～3の夫々に対してフェージングピッチ検出部23にて検出されたフェージングピッチより移動機（本実施の形態4のAGC回路を備える無線装置を用いた移動機）の平均移動速度を求め、求めた平均移動速度と前回以前の受信スロット1～3の夫々におけるAGC電圧収束値とに基づいて次回の受信スロット4に対するAGC電圧の制御開始値を予測する予測部21とを備えている。

【0036】本実施の形態におけるフェージングピッチ検出方法は、図10に示すように、受信電界強度により受信電界強度点P2を求めた後、それをビットエラーレート曲線にのせる。そして、受信電界強度点P2を挟んでいる二つのビットエラーレート曲線（ $f_0 = 6\text{Hz}$ と 80Hz ）間を直線補間して受信電界強度点P2を通るビットエラーレート曲線（ $f_0 = F$ ）を引き、これよりフェージングピッチを求める。そして、求めたフェージングピッチから移動機の移動速度を導き出す。フェージングピッチの検出を受信スロット1～3の夫々に対して行い、移動機の平均移動速度を求める。

【0037】このように、本実施の形態4では、フェージングによる影響を考慮して次回の受信スロット4に対するAGC電圧の制御開始値を予測するので、フェージングの影響を受けることなくAGC収束時間の短縮化が図れる。

【0038】（実施の形態5）図11は本発明の実施の形態1から4に係るAGC回路のいずれかを用いた無線装置（この場合、受信機）の構成を示すブロック図である。なお、この図において、AGC回路には符号30を付けている。また、この図において、AGC回路30以外の部分は、前述した図12と共通するので、同一の符号を付けている。本発明のAGC回路を備えることで、AGC収束時間の短い高立ち上げが可能になる。

【0039】

【発明の効果】以上のように本発明は、前回以前の受信

スロット1～3の夫々におけるAGC電圧収束値を基に、次の受信スロット4でのAGC電圧の制御開始値を予測し、予測したAGC電圧制御開始値からAGC電圧の制御を行うので、一定のレベルからAGC電圧を制御するのではなく、予測したAGC電圧の制御開始値から制御を開始するので、AGC収束時間を短縮でき、受信機の受信時における高速な立ち上げが可能なAGC回路を提供できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るAGC回路の構成を示すブロック図

【図2】同実施の形態1に係るAGC回路の動作を説明するための図

【図3】本発明の実施の形態2に係るAGC回路の構成を示すブロック図

【図4】同実施の形態2に係るAGC回路の動作を説明するための図

【図5】本発明の実施の形態3に係るAGC回路の構成を示すブロック図

【図6】同実施の形態3に係るAGC回路の動作を説明するための図

【図7】同実施の形態3に係るAGC回路の動作を説明するための図

【図8】同実施の形態3に係るAGC回路の動作を説明するための図

【図9】本発明の実施の形態4に係るAGC回路の構成を示すブロック図

【図10】同実施の形態4に係るAGC回路の動作を説明するための図

【図11】本発明の実施の形態1～4に係るAGC回路を用いた無線装置の構成を示すブロック図

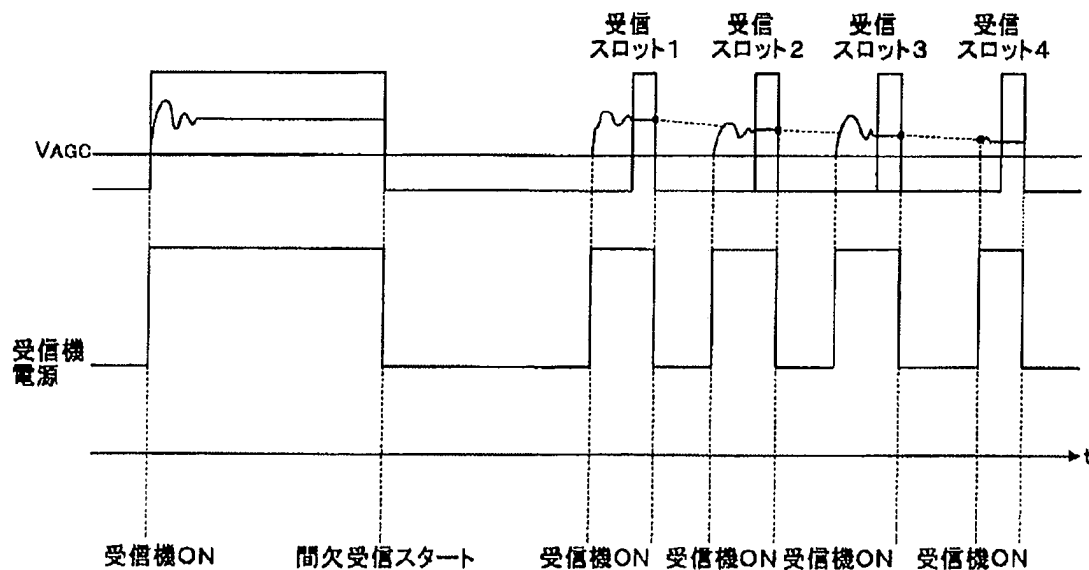
【図12】従来のAGC回路を用いた無線装置の構成を示すブロック図

【図13】従来のAGC回路の動作を説明するための図

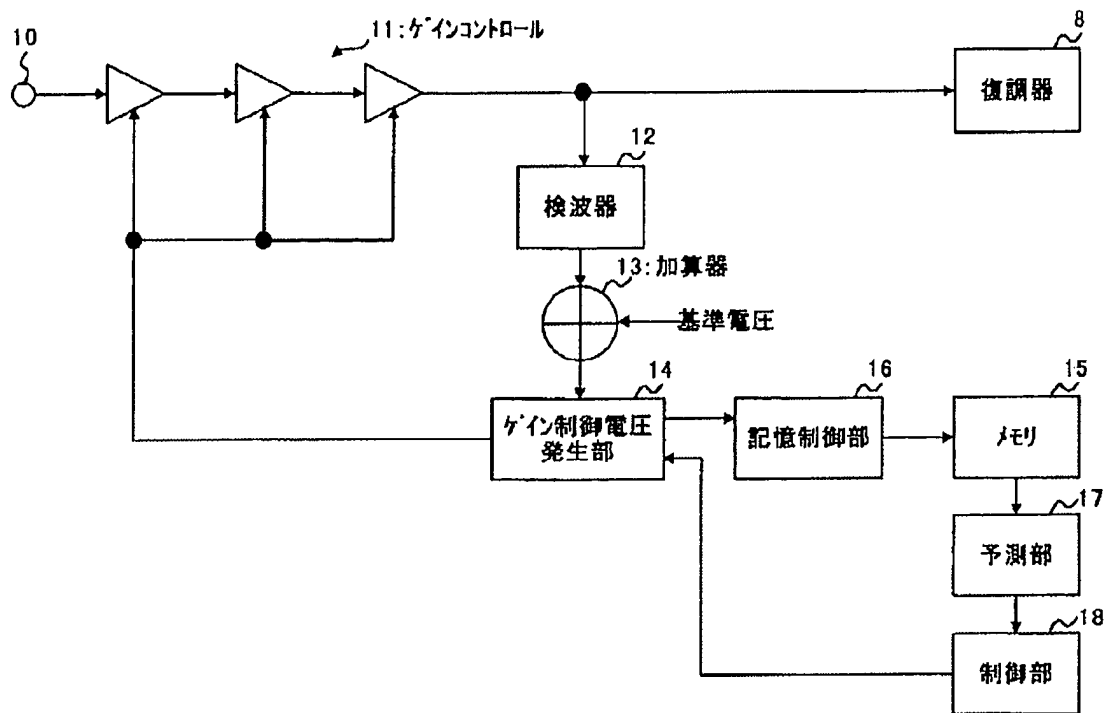
【符号の説明】

- 1 アンテナ
- 2 フィルタ
- 3 高周波増幅器
- 4 混合器
- 5 局部発振器
- 6 中間周波増幅器
- 8 復調器
- 10 入力端子
- 11 ゲインコントロール
- 12 検波器
- 13 加算器
- 14 ゲイン制御電圧発生部
- 15 メモリ
- 16 記憶制御部
- 17、21 予測部
- 18 制御部
- 19 補正部
- 20、23 フェージングピッチ検出部

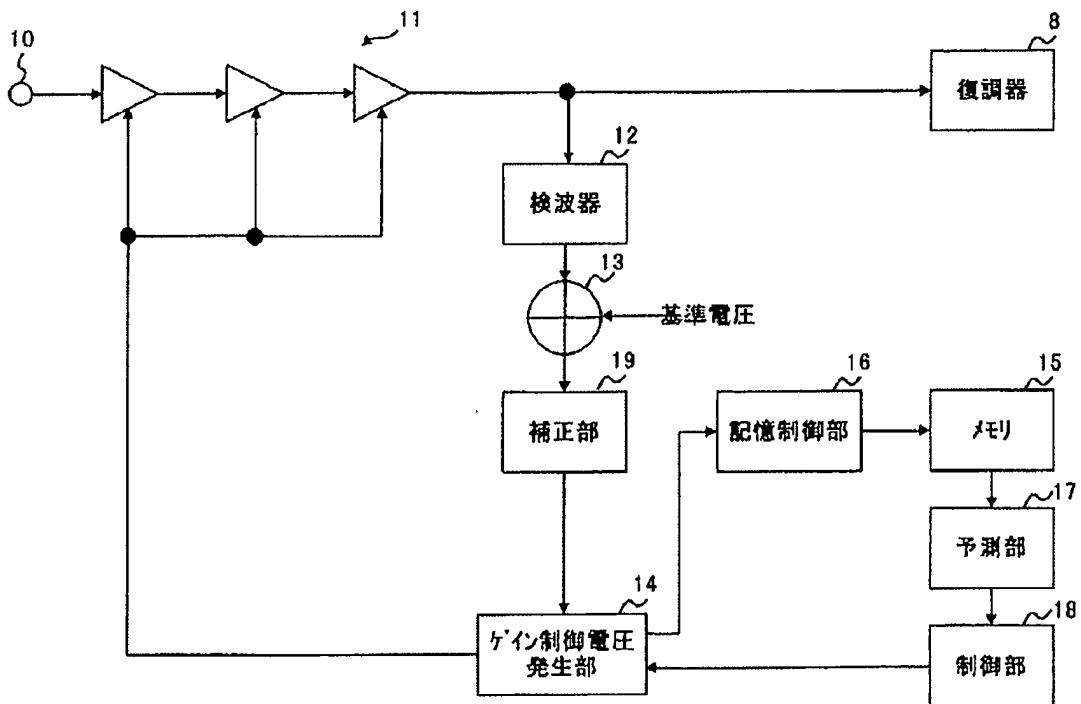
【図2】



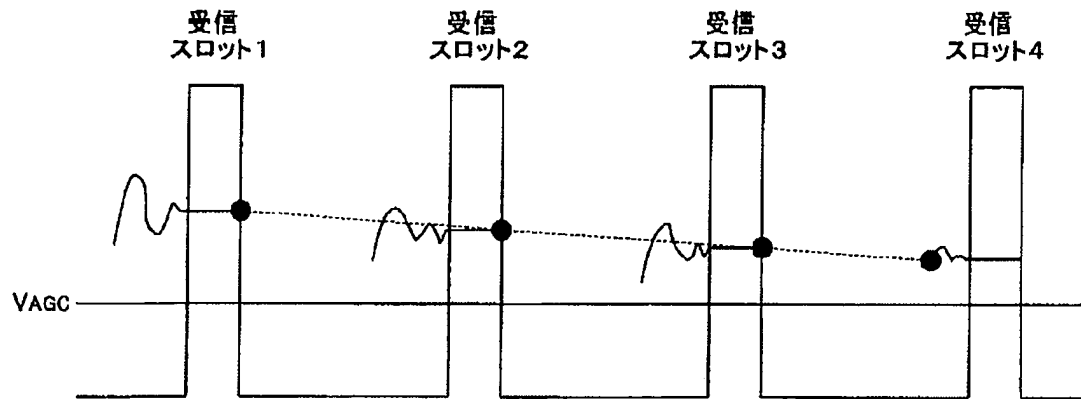
【図1】



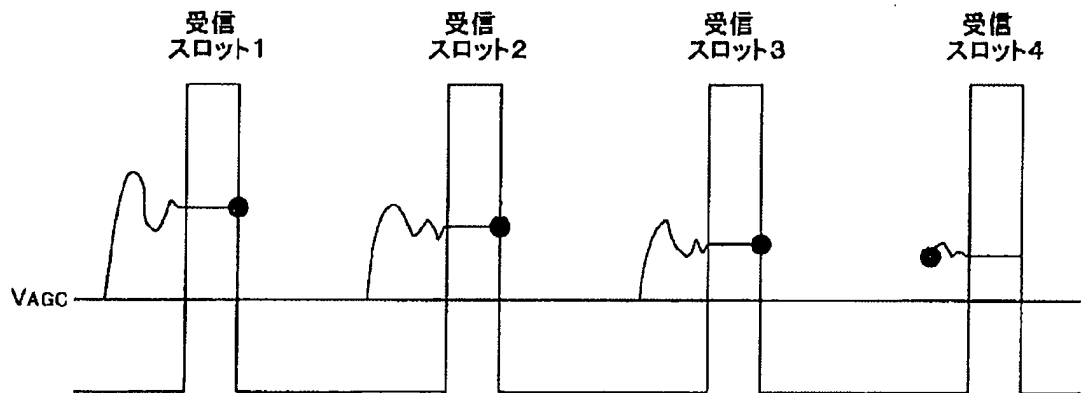
【図3】



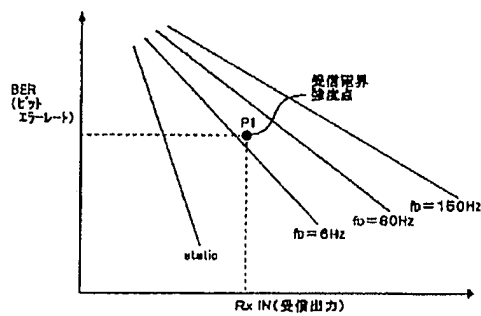
【図4】



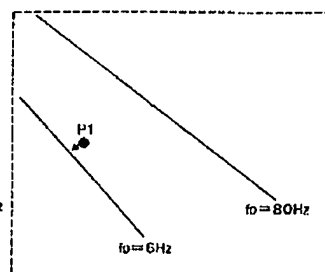
【図6】



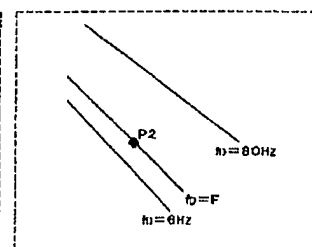
【図7】



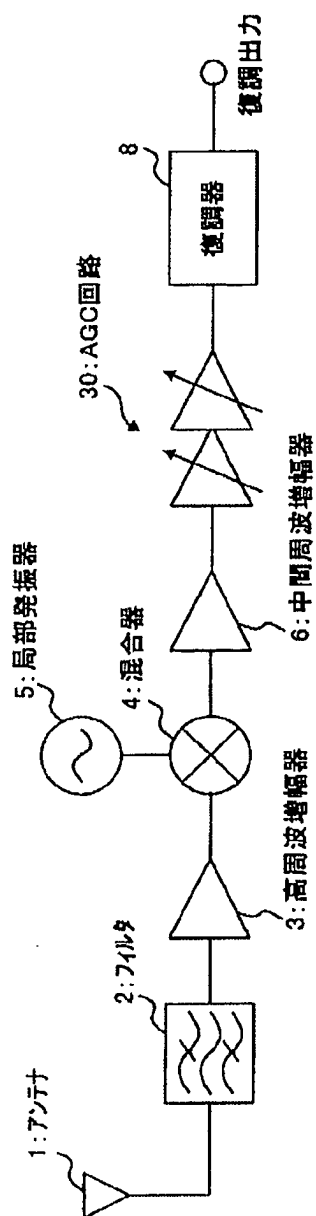
【図8】



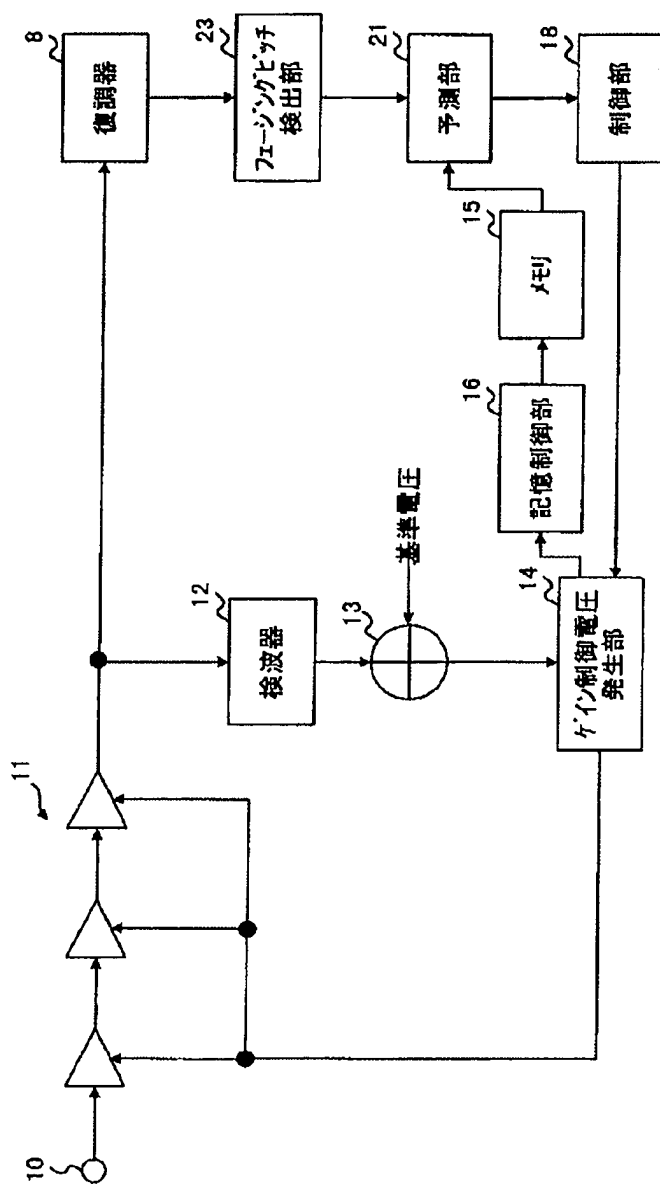
【図10】



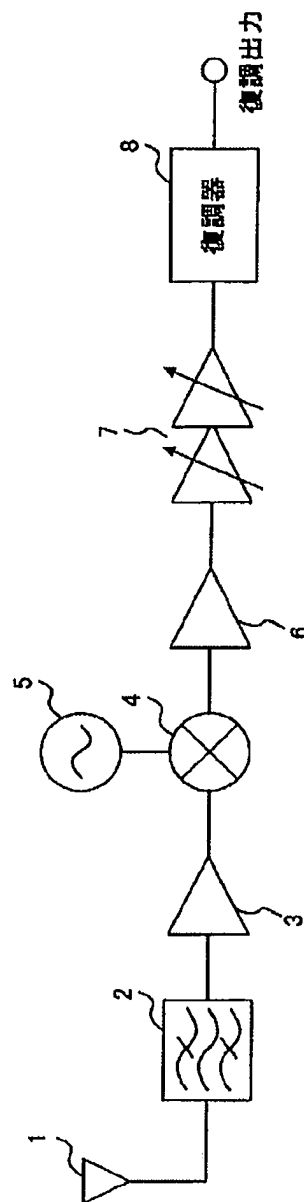
【图 1.1】



【図9】



【図12】



【図13】

